

基于 40 nm CMOS 工艺的 DAC IP 核物理与时序建模

王 东, 陈 岚, 柳臻朝, 冯 燕

(中国科学院 微电子研究所, 北京 100029)

摘 要: 基于 40 nm CMOS 工艺, 分析了 DAC 模块转化为 IP 核时所需生成的必要信息, 概述了 DAC IP 核可复用模型的主要特点。对 DAC IP 核的物理与时序信息进行建模, 得到了 DAC IP 核的物理模型和时序模型, 组成了 DAC IP 核的数据文件交付项。提取得到的 IP 核模型保护了 IP 核的设计信息, 可满足布局布线、时序分析等基本应用要求。

关键词: DAC IP 核; 物理模型; 时序模型

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2015)02-0056-04

Physical and Timing Modeling of DAC IP Core Based on 40 nm CMOS Process

WANG Dong, CHEN Lan, LIU Zhen-chao, FENG Yan

(Institute of Microelectronics of Chinese Academy of Sciences, Beijing 10029, China)

Abstract: Based on 40 nm CMOS process, the necessary information needed for transforming DAC module into IP core is analyzed, and the main characteristics of reusable models for DAC IP core are outlined. The physical model and timing model of DAC IP core are obtained by modeling the physical and timing information, which are used to form the data file deliveries. The abstracted models can protect the design details, and can meet requirements for basic application, such as place and route, timing analysis.

Key words: DAC IP core; physical model; timing model

1 引言

IP (Intellectual Property, IP) 核是预先设计、经过验证、可复用、易移植并且具有知识产权的电路功能模块。从行为、结构、物理形态等因素考虑, IP 核可分为软 IP 核、硬 IP 核、固 IP 核^[1]。IP 核既要具有保密性, 保护设计信息, 维护开发者的权益, 又要具备基本的应用信息, 满足易用性、可复用性的要求。

支持“即插即用”的可复用 IP 核是进行 SoC (System on Chip, SoC) 设计的基础。在保证 IP 核功能正确的前提下, 缩短 SoC 产品上市时间的关键因素之一是 IP 核须易于集成, 这取决于 IP 核开发者是否提供了正确合适的交付项。完备、非冗余的交付项使 IP 核易于理解, 可增加集成应用的成

功率^[2]。

IP 核的交付项承载着在 IP 核开发者与使用者之间的信息传递功能, 一般可分为文档文件交付项和数据文件交付项。文档文件交付项以文本形式为用户提供 IP 核进行集成和应用的相关信息, 如功能手册、验证手册以及应用手册等。数据文件交付项涵盖了 IP 核的设计信息和应用数据, 其格式一般与电子设计自动化 (Electronic Design Automation, EDA) 工具紧密结合, 如功能验证、物理设计以及时序分析交付项等。根据 IP 核的不同种类和形态, 交付项具有相应的强制类型。若 IP 核的某些数据或者信息是必须交付的, 则该交付项是强制项。

IP 核种类繁多, 对应着不同的应用场景和性能需求。在 SoC 芯片中, 与数字类 IP 核相比, 模拟/混合信号 IP 核在数量和面积上所占的比例较小。由于

设计上的复杂性和对应用环境的敏感性,再加上设计流程中标准化和自动化程度不高,模拟/混合信号IP核的设计与应用一直是一个技术瓶颈,一般以硬IP核的形态出现^[3].

作为数字信号与模拟世界的接口,数模转换器(Digital-to-Analog Converter, DAC)IP核是很重要的一类模拟/混合信号IP核.本文针对一款DAC IP核,对其进行物理与时序建模,形成相应的数据文件交付项.

2 DAC IP核模型概述

DAC IP核作为一类重要的模拟/混合信号IP核,其可复用模型主要包括仿真模型、物理模型、时序模型等,这些可复用模型由IP核开发者完成^[4].其中,对于仿真模型,一般需要对IP核接口进行明确的行为描述,以便进行IP核功能验证.

DAC IP核的物理建模是在物理版图的基础上进行的,可以认为物理模型构成了物理版图的必要不充分条件.物理模型有意隐藏了IP核的具体设计细节,但是包含了进行布局布线的必要信息.物理模型一般包括以下几点:IP核物理版图的外围边界信息以及面积信息;接口属性以及接口布局,如接口的名称、类型、方向、位置、形状和金属层信息等.

DAC IP核的时序模型包含了IP核数字部分的静态时序信息,描述了IP核的端口时序信息和时序约束条件,主要用于进行时序验证与分析.

DAC IP核的三类主要模型中,仿真模型可以有不同的抽象层次,在功能细节、结构细节和数据值细节等方面可以有多种组合与折中考虑.因此,仿真模型的实现具有变化性,和IP核开发者自身的技术能力以及IP核的应用层次有很大关联,本文对DAC IP核的仿真模型不作讨论,重点研究DAC IP核的物理模型和时序模型.

本文中DAC IP核采用SMIC 40 nm低功耗工艺,最大输出电流为20 mA,输出负载25 Ω ,时钟频率可达100 MHz.该DAC IP核在电路设计上采用分段式全差分电流舵结构,内置基准电源、输出故障检测机制,具有高速、高集成度、高动态范围等性能特点.该DAC IP核主要由解码器、开关电流源阵列、偏置及时钟模块等四部分组成,整体结构示意图如图1所示.

3 DAC IP核建模

本文的DAC IP核模型提取,是在EDA工具环

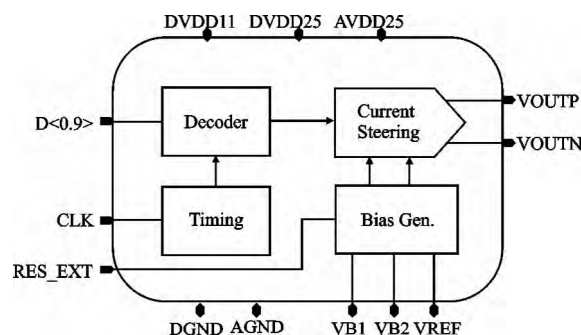


图1 DAC IP核整体结构示意图

境下产生可供交付使用的IP核数据,以满足布局布线、时序分析等要求. IP核模型的数据格式应能与主流EDA工具兼容,且具有可复用性.

3.1 物理建模

数据准备: DAC IP核的版图设计信息,即GD-SII文件,以及相应的工艺信息.

首先,采用Cadence的Abstract工具对DAC IP核进行物理模型提取. Abstract工具是一种库建模工具,基于物理版图以及工艺信息,可以产生标准单元、宏模块、I/O等的库交换格式(Library Exchange Format, LEF)文件. LEF文件可供布局布线工具使用.

DAC IP核的LEF文件提取流程主要包括:把版图上的文本标注(text label)映射到管脚(pin)上,提取管脚位置以及物理形状等信息;提取管脚与相应金属的连接关系,产生天线规则信息;设置阻挡层(blockage)等.

DAC IP核的管脚类型分为3种,分别是数字、模拟以及时钟管脚,如表1所示.

利用Abstract工具得到DAC IP核的LEF文件,内容示例如图2所示.

```
VERSION 5.7;
BUSBITCHARS "[ ]";
DIVIDERCHAR "/";

MACRO DAC_TOP
  CLASS BLOCK;
  ORIGIN 32.916 1413.004;
  FOREIGN DAC_TOP -32.916 -1413.004;
  SIZE 212.765 BY 166.475;
  PIN AVDD
    DIRECTION INOUT;
  USE POWER;
  PORT
    LAYER M1;
    RECT 174.325 -779.924 176.523
  END
```

图2 DAC IP核的LEF文件内容示例

表 1 DAC IP 核的管脚描述

管脚类型	序号	名称	功能描述
数字	1~10	D<9:0>	10 位数字输入码
	11	DVDD25	数字 2.5 V 电源
	12	DVDD11	数字 1.1 V 电源
	13	DGND	数字地
时钟	14	CLK	采样时钟
模拟	15	AVDD	模拟电源
	16	AGND	模拟地
	17	VREF	检测内置带隙基准电路的工作状态
	18	VB1	检测偏置电路的工作状态
	19	VB2	检测偏置电路的工作状态
	20	RES_EXT	外接 40 kΩ 精密电阻
	21	VOUTP	差分输出端口
	22	VOUTN	差分输出端口

DAC IP 核的 LEF 文件包含了可供布局布线使用的基本信息,主要是管脚、阻挡层的信息,如管脚名称、类型、方向、金属层以及禁布线区域等。DAC IP 核的 LEF 文件隐藏了具体的设计信息,而把管脚、阻挡层等信息提取了出来,这样既能满足布局布线的需求,又能有效保护硬 IP 核的版图设计信息。

作为硬 IP 核的物理模型,LEF 文件是版图信息抽象化的一种文本表征形式,利用 Synopsys 的 Milkyway 工具可将其等效转换为图形表征形式,如图 3 所示。

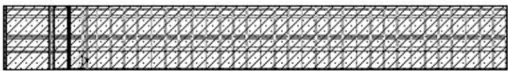


图 3 DAC IP 核图形化物理模型

DAC IP 核图形化物理模型的局部放大图如图 4 所示。

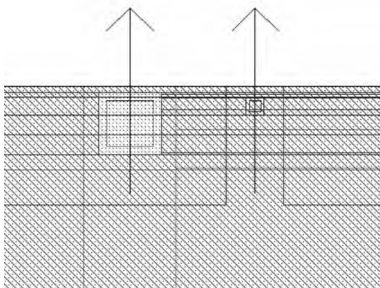


图 4 DAC IP 核图形化物理模型的局部放大图

箭头代表了管脚可以用于连线的方向,箭头所

在管脚的具体信息如图 5 所示。

----- attributes -----
OBJECT TYPE : PIN [ID#x832]
PIN NAME : DVDD25
LAYER : M3 (63)
ACCESS_DIRECTION: UP
PIN_DIRECTION: In-Out
PORT_TYPE : Power
BBOX : (41.2790 252.1720) (42.2790 253.1700)
NET ID : #x512
NET NAME : DVDD25
NET TYPE : Power
PINS OF THE PORT :
DVDD25 (eeq=0,mustjoin=0)

图 5 DAC IP 核物理模型中管脚信息描述示例

3.2 时序建模

时序模型提取通常可以采用静态分析或者动态仿真等 2 种方式。静态时序分析方法一般把设计分解成一系列时序路径,计算每条时序路径的信号传播延迟,检查设计内部以及输入输出端口的时序约束违反情况,报告最严格的时序信息,因此利用静态时序分析方法得到的时序分析报告通常是比较悲观的,但是这种分析方法有很大的速度优势,并且在精度上具有比拟动态仿真分析方法的潜力。动态仿真时序分析方法需要借助电路仿真器,如 SPICE,但是由于设计规模的影响以及测试向量的变化,动态仿真时序分析方法适用范围有限。

本文利用 Synopsys 的 NanoTime 工具提取 DAC IP 核的时序模型,NanoTime 是晶体管级的静态时序分析工具,能够提供接近 SPICE 精度的时序分析结果。数据准备:DAC 电路网表文件、工艺库信息、寄生参数文件。

时序模型提取过程主要包括如下步骤:

①网表准备阶段:这一阶段主要设置工具环境,如设置变量以及搜索路径。读入设计数据和工艺信息,包括顶层电路网表和晶体管的 spice 模型等。

在提取模拟/混合信号电路时序模型的过程中,只针对其中的数字部分进行时序模型提取和分析,而把模拟部分当做一个“黑盒子(black box)”处理^[5]。对于本文设计的 DAC IP 核,屏蔽了开关阵列、电流源阵列以及偏置电路等部分,保留了数字模块,这些可以通过设置网表读入的控制选项实现。读入网表之后,电路统计信息以及管脚报告信息分别如图 6 和图 7 所示。

②时钟传播和拓扑识别阶段:定义时钟信号,识别电路中包含的拓扑结构。对于许多电路拓扑结构,如传输门、锁存器、寄存器、反相器、异或门等,工具可以自动识别。

③时钟约束阶段:定义输入/输出的时序约束,

Default circuit temperature	:	25.000
Total # of CMOS elements	:	2394
Total # of elements	:	2394
Total # of nodes	:	1144
Total # of subckt	:	96
Total # of top - level instances	:	1

图 6 读入网表后电路统计信息

Port	Dir	Min Rise Cap	Min Fall Cap	Max Rise Cap	Max Fall Cap	Attr
AGND	in	--	--	--	--	--
AVDD	in	--	--	--	--	--
D0	in	--	--	--	--	--
D1	in	--	--	--	--	--
D2	in	--	--	--	--	--
D3	in	--	--	--	--	--
D4	in	--	--	--	--	--
D5	in	--	--	--	--	--
D6	in	--	--	--	--	--
D7	in	--	--	--	--	--
D8	in	--	--	--	--	--
D9	in	--	--	--	--	--
DGND	in	--	--	--	--	--
DVDD11	in	--	--	--	--	--
DVDD25	in	--	--	--	--	--
RES_EXT	inout	--	--	--	--	--
VB1	inout	--	--	--	--	--
VB2	inout	--	--	--	--	--
VOUTN	out	--	--	--	--	--
VOUTP	out	--	--	--	--	--
VREF	inout	--	--	--	--	--

图 7 管脚报告信息

并读入寄生参数,把寄生参数信息反标到电路网表中。DAC 的寄生参数反标情况如图 8 所示。

Net Type	Total	RC network	Lumped Capacitance	Not Annotated
Internal nets	1130	1130	0	0
Boundary/Port nets	22	11	11	0
	1152	1141	11	0

图 8 寄生参数反标情况

④从上述的寄生参数反标结果可知,反标率为 100%,其中边界节点有 22 个,对应着表 1 中 DAC 模块的管脚。

时序模型提取阶段:产生设计模块的静态时序模型,该模型与原始网表有相同的时序行为,可以应用于层次化的时序分析中。时序模型有 .db 和 .lib 两种格式,其中 .lib 格式的时序模型内容如图 9 和图 10 所示。

⑤时序分析报告阶段:可以用路径追溯进行时序验证,报告路径的时序信息,如路径的 slack、delay 等,不同的选项可以控制路径追溯的显示结果。还可以任选某条时序路径,将其 spice 网表提取出来,利用动态仿真得到该时序路径的延迟信息,可与静态时序分析结果进行对比分析。得到的时序分析报告内容如图 11 所示。

4 结束语

作为 DAC IP 核可复用模型的主要载体形式,

```
library("DAC_IP_ff") {
    technology (cmos);
    delay_model : table_lookup ;
    library_features ( report_delay_calculation ) ;
    date : "Tue Jun 4 14:13:53 2013" ;
    revision : "NanoTime Version D-2010.06-SP3" ;
    nom_process : 1.000000 ;
    nom_voltage : 2.500000 ;
    nom_temperature : 25.000000 ;
    operating_conditions( "typ" ) {
        process : 1.000000 ;
        voltage : 2.500000 ;
        temperature : 25.000000 ;
    } /* current design opcond */
    default_operating_conditions : "typ" ;
    voltage_unit : "1V" ;
    time_unit : "1ns" ;
    capacitive_load_unit (1.000000, pf);
    slew_derate_from_library : 1.000000 ;
    slew_lower_threshold_pct_rise : 10.000000 ;
    slew_lower_threshold_pct_fall : 10.000000 ;
    slew_upper_threshold_pct_rise : 90.000000 ;
    slew_upper_threshold_pct_fall : 90.000000 ;
}
```

图 9 lib 文件中关于变量的设置

```
cell( DAC_TOP ) {
    dont_use : true ;
    dont_touch : true ;
    interface_timing : true;
    timing_model_type : "extracted";

    pin("AGND") {
        direction : inout ;
        max_transition : 0.400000 ;
        min_transition : 0.080000 ;
        max_capacitance : 0.500000 ;
        min_capacitance : 0.000000 ;
        capacitance : 0.741237 ;
        rise_capacitance_range (0.741237, 0.741237);
        fall_capacitance_range (0.741237, 0.741237);
    } /* end of pin AGND */
}
```

图 10 lib 文件内容示例

Slack	Path	Delay Type	Startpoint	Endpoint
0.230	0.230	D-R	D3	r XI0/XI2/XI138/XNM0/M1/G
0.230	0.230	D-R	D3	r XI0/XI2/XI138/XNM3/M1/G
0.231	0.232	D-R	D2	r XI0/XI2/XI155/XNM3/M1/G
0.231	0.232	D-R	D2	r XI0/XI2/XI155/XNM0/M1/G
0.232	0.232	D-R	D1	r XI0/XI2/XI137/XNM0/M1/G

图 11 DAC 时序分析报告内容示例

物理模型和时序模型既包含了必要的应用信息,又保护了 IP 核的设计信息,是 IP 核数据文件交付项的重要内容,满足 IP 核可复用并且知识产权可控的基本要求。本文基于一款 SMIC 40 nm CMOS 工艺的 DAC IP 核,分析了 DAC 模块在转化为 IP 核过程中所需生成的必要信息,并对 DAC IP 核进行物理与时序建模,得到了 DAC IP 核的物理模型和时序模型。

参考文献:

- [1] Xuemin Pang, Daojie Yu, Jianbing Li, et al. Design and application of IP Core in SoC technology[C]// Third International Symposium on Information Science and Engineering. Shanghai, 2010: 71-74.

(下转第 64 页)

减少,但是,驱动尺寸减小会使得关键电荷量减小,导致整个电路免疫能力降低.因此,针对 SE 引起的噪声,施扰点前驱动 cell 应该增加,MOS 管尺寸增大会使得收集的电荷更快消散,降低对 SE 的敏感程度,减少 SE 引起的串扰.增加施扰驱动 cell 尺寸能降低 SE 引起的串扰,但是会加剧普通串扰噪声的影响.增加受扰点驱动 cell 能有效地降低 SE 引起的串扰噪声和普通噪声的幅度和延迟,但是受扰线在另一情形下也会成为别的 cell 的施扰者,因此它的尺寸增加会对与它相邻的其他受扰线带来很大的干扰.为此增加 cell 驱动能力需要多方面的权衡考虑.增加连线间距,在面积许可的情况下,是最有效的 SE 引起的串扰的缓解措施.

4 结束语

文中详细分析了深亚微米工艺下 SET 引起的串扰噪声和普通串扰噪声.随着工艺进步,SE 引起的串扰更加严重.对有效的缓解串扰措施做出了详细的对比分析,增加施扰驱动对缓解 SE 引起的干扰和串扰噪声有效.但是,增加施扰驱动会引起普通串扰噪声恶化.增加受扰驱动有益于 SE 引起的串扰噪声,但是有可能成为相邻连线的另一噪声源,因此需要权衡考虑.增加间距在布线资源许可的条件下是最有效的 SE 串扰解决方案.

参考文献:

- [1] 来金梅,姚庆栋.高速芯片设计中时序的研究[J].微电子学与计算机,1999,16(5):14-17.
- [2] 袁宝国.门电路参数对互连线时延影响的研究[J].微电子学与计算机,2004,21(6):178-181.
- [3] 孙加兴,叶青.0.18 μ m CMOS 工艺条件下的信号完整性分析[J].半导体学报,2003,24(10):1030-1034.
- [4] Liu Qinghua, Tang Pushan. Crosstalk estimation and optimization in Deep Sub-Micron VLSI [J]. Chinese Journal of Semiconductors, 2002, 23(5): 535-542.
- [5] Baumann R C. Single-event effects in advanced CMOS technology [C] // presented at the 2005 IEEE Nuclear and Space Radiation Effects Conference Short Course. Seattle, 2005.
- [6] Mavis D G, Eaton P H. Soft error rate mitigation techniques for modern microcircuits [C] // Proc 40th Annual Reliability Physics Symp. Dallas, 2002: 216-225.
- [7] Thompson S. Silicon CMOS technology 101 [C] // IEEE Nuclear and Space Radiation Effects Conference Short Course. Seattle, 2005.
- [8] Sayil S, Juyu Wan. Single-event soft errors in CMOS logic [J]. IEEE Potentials, 2012, 31(2): 15-22.

作者简介:

蒋见花 女, (1976-), 副研究员. 研究方向为大规模集成电路设计. E-mail: jiangjianhua@ime.ac.cn

(上接第 59 页)

- [2] Yueli Hu, Wenyi Jing, Ying Liu. Integrating ADC IP in a SoC and Its Verification [C] // High Density packaging and Microsystem Integration. Shanghai, 2007: 1-4.
- [3] Resve Saleh, Steve Wilton, Shahriar Mirabbasi, et al. System-on-chip: reuse and integration [J]. IEEE, 2006, 94(6): 1050-1069.
- [4] 中国人民解放军总装备部电子信息基础部. GJB 7715-2012 军用集成电路 IP 核通用要求[S]. 北京: 总装备部军标出版发行部, 2012.
- [5] 刘杰, 王国玺, 夏君, 等. 基于 NanoTime 的模拟 IP 时序验证和模型提取 [EB/OL]. [2014-04-19]. <http://www.synopsys.com.cn/information/snug/2010>.

作者简介:

王 东 男, (1984-), 博士研究生, 助理研究员. 研究方向为模拟集成电路设计与 IP 核共性技术. E-mail: wangdong@ime.ac.cn

陈 岚 女, (1968-), 博士生导师. 研究方向为超深亚微米芯片设计方法学及计算机体系结构.

柳臻朝 男, (1987-). 研究方向为高性能 IP 核设计与 IP 核共性技术.

冯 燕 女, (1980-), 助理研究员. 研究方向为 SoC 设计与验证、IP 核标准与共性技术.